

## Design and Implementation of Artificial Neural Network-Based 3-D Novel Jerk Chaotic Oscillator on FPGA

İsmail KOYUNCU<sup>1,\*</sup>, Yüksel OĞUZ<sup>1</sup>, Hasan ÇİMEN<sup>1</sup>, Tolga ÖZER<sup>1</sup>, Murat TUNA<sup>2</sup>

<sup>1</sup>Afyon Kocatepe University, Department of Electrical Electronics Engineering, 03200, Afyon, Turkey

<sup>2</sup>Kırklareli University, Technical Vocational High School, Electrical Technology, 39000, Kırklareli, Turkey

\*Corresponding Author e-mail:ismailkoyuncu@aku.edu.tr

**Abstract:** In this paper, the 3-D novel Jerk chaotic system has been coded in Very High Speed Integrated Circuits Hardware Description Language (VHDL) with 32-bit IEEE-754-1985 floating point number standard for real-time Artificial Neural Networks (ANNs). The designed 3-D novel Jerk chaotic system has been synthesized in the Xilinx ISE Design Tools 14.7 program and has been implemented on the Xilinx VIRTEX-6 FPGA chip. In the presented study, 3-D novel Jerk chaotic system has been modeled as numerical using fifth order Runge-Kutta-Butcher algorithm based on Matlab. 2000X3 data set obtained from the Matlab-based 3-D Novel Jerk chaotic system has been divided into two parts. These are 1600X3 train data set for training of the ANN and 400X3 test data set for testing of the ANN. The multi-layer feed forward (MLFF) ANN has been modeled as Matlab-based and has been trained using train data set. The trained MLFF ANN structure has been tested using test data set. The weight and bias values that used in structure of MLFF ANN-based 3-D Novel Jerk Chaotic oscillator designed on Matlab has been taken as reference for FPGA-based 3-D Novel Jerk Chaotic oscillator unit design. The MLFF ANN-based 3-D Novel Jerk chaotic oscillator unit has been coded in VHDL language with 32-bit IEEE-754-1985 floating point number standard and has been synthesized for VIRTEX-6 family (XC6VLX240T device, FF1156 package, -1 speed) using Xilinx ISE Design Tools 14.7 program. The maximum operating frequency of the MLFF ANN-based 3-D Novel Jerk chaotic oscillator unit obtained from Place&Route processes and FPGA chip statistics have been presented. In future, ANN-based chaotic random number generator can be performed using the proposed MLFF ANN-based 3-D Novel Jerk chaotic oscillator unit on FPGA.

**Keywords:** FPGA, Artificial Neural Networks, VHDL, 3-D Novel Jerk oscillator.

## Yapay Sinir Ağları-Tabanlı 3-B Yeni Jerk Kaotik Osilatörünün FPGA Üzerinde Tasarımı ve Gerçeklenmesi

**Özet:** Bu çalışmada, gerçek zamanlı Yapay Sinir Ağları (YSA) uygulamaları için 3-B Yeni Jerk kaotik sistemi 32-bit IEEE-754-1985 kayan noktalı sayı standardı ile VHDL dilinde kodlanmıştır. Tasarlanan 3-B Yeni Jerk kaotik sistemi Xilinx ISE Design Tools 14.7 programında sentezlenmiş ve VIRTEX-6 FPGA çipi üzerinde gerçekleştirilmiştir. Sunulan çalışmada, 3-B Yeni Jerk kaotik sistemi beşinci dereceden Runge-Kutta-Butcher algoritması ile nümerik olarak Matlab üzerinde modellenmiştir. Nümerik modelden elde edilen 2000X3 veri seti, 1600X3 eğitim verisi ve 400X3 test verisi olmak üzere iki bölüme ayrılmıştır. Çok katmanlı ileri beslemeli (ÇKİB) YSA modeli Matlab-tabanlı olarak oluşturulmuş ve eğitim verisi kullanılarak eğitilmiştir. Eğitilen ağ yapısı test verileri kullanılarak test edilmiştir. Matlab üzerinde tasarlanan YSA-tabanlı 3-B Yeni Jerk kaotik osilatörünün yapısında kullanılan ağırlık ve bias değerleri, FPGA-tabanlı 3-B Yeni Jerk kaotik osilatör ünitesi tasarımı için referans olarak alınmıştır. ÇKİB YSA-tabanlı 3-B Yeni Jerk kaotik osilatör ünitesi 32-bit kayan noktalı sayı standardı ile VHDL dilinde kodlanmış ve Xilinx ISE program kullanılarak VIRTEX-6 ailesi (XC6VLX240T aracı, FF1156 paketi, -1 hız) için sentezlenmiştir. Place and Route işleminden elde edilen FPGA-tabanlı 3-B Yeni Jerk kaotik osilatör ünitesi maksimum çalışma frekansı ve FPGA çip istatistikleri sunulmuştur. İleride yapılacak çalışmalar ile sunulan FPGA üzerindeki çok katmanlı ileri beslemeli YSA-tabanlı 3-B Yeni Jerk kaotik osilatör ünitesi kullanılarak YSA-tabanlı kaotik rasgele sayı üretici gerçekleştirilebilir.

**Anahtar Kelimeler:** FPGA, Yapay Sinir Ağları, VHDL, 3-B Yeni Jerk osilatörü.

### 1. GİRİŞ

Son yıllarda literatürde Yapay Sinir Ağları (YSA (Artificial Neural Networks)) kullanılarak birçok alanda çalışmalar yapılmaktadır. Bu çalışma alanlarına sinyal-görüntü işleme [1], kaotik osilatör tasarımı [2], motor

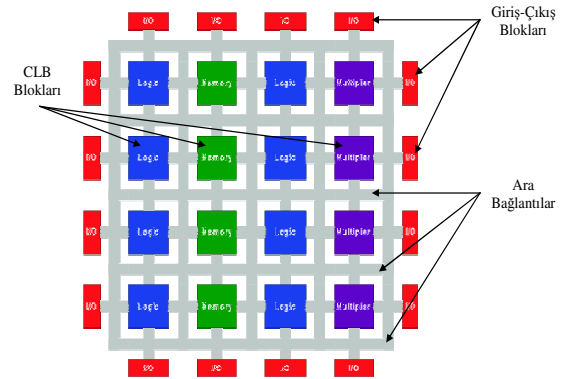
kontrolü [3, 4], optimizasyon [5], sınıflandırma [6], senkronizasyon [7], tahmin [8] ve hata belirleme [9] gibi alanlar örnek olarak verilebilir. YSA yazılım ve donanım tabanlı olmaz üzere iki farklı şekilde modellenenmektedir. YSA'nda temel olarak doğrusal (lineer) ve doğrusal olmayan (non-lineer) transfer fonksiyonları olmak üzere iki farklı transfer fonksiyonu

kullanılmaktadır. Doğrusal olmayan transfer fonksiyonları eksponansiyel işlemler içermektedir. Bu nedenle doğrusal olmayan transfer fonksiyonlarının donanımsal gerçekleştirilmesi oldukça zor olmaktadır. Sonuç olarak doğrusal olmayan transfer fonksiyonlarının donanımsal gerçekleştirilmesine ihtiyaç bulunmaktadır. Gerçek zamanlı uygulamalar için tercih edilen donanımsal YSA gerçekleştirmeleri için ASIC (Application Specific Integrated Circuits (Uygulamaya Özel Tümeleşik Devreler)) [10], DSP (Digital Signal Processor (Sayısal Sinyal İşlemci)) [11], CNN (Cellular Neural Network (Hücreli Sinir Ağı)) ve FPGA (Field Programmable Gate Array (Alan Programlanabilir Kapı Dizileri)) çipleri [12, 13] gibi farklı yapılar kullanılmaktadır. FPGA yapıları tekrar tekrar programlanabilir olmaları, yüksek donanım kapasitesi ve paralel işlem yapabilme [14] gibi özelliklerinden dolayı gerçek zamanlı YSA uygulamalarında kullanılmaktadırlar. Kaotik sistemlerin periyodik olmama, gürültü-benzeri davranışlar sergilemeleri ve gerçekleştirilmesi için paralel çalışan yapılara ihtiyaç göstermeleri gibi özellikleri göz önüne alındığında YSA kaotik sistemlerin modellenmesi için uygun bir yöntem olarak ortaya çıkmaktadır. Bu amaçla sunulan çalışmada, 3-boyutlu Jerk kaotik sistemi ileri beslemeli çok katmanlı (feed-forward multilayer) YSA yapısı kullanılarak FPGA çiplerinde çalışmak üzere 32-bit IEEE 754-1985 kayan noktalı sayı standardı (floating point number standard) kullanılarak VHDL (Very High Speed Integrated Circuit (VHSIC) Hardware Description Language (Çok Yüksek Hızlı Tümeleşik Devre Donanım Tanımlama Dili)) ile tasarlanmıştır. Tasarımı yapılan YSA-tabanlı 3-B Jerk kaotik sistemi Xilinx ISE 14.7 tasarım araçları kullanılarak test edilmiş ve Virtex-6 FPGA çip ailesi için sentezlenmiştir. Bu çalışmanın İkinci Bölümü'nde 3-B Jerk kaotik sistemi ve 3. Bölümü'nde FPGA çipleri ile ilgili genel bilgiler verilmiştir. Dördüncü bölümde tasarımı yapılan YSA-tabanlı 3-B Jerk kaotik osilatör ünitesi sunulmuştur. Son bölümde ise çalışmadan elde edilen sonuçlar için değerlendirilme yapılmıştır.

## 2. FPGA ÇİPLERİ

FPGA çipleri, ilk üretici konumundaki şirketlerin silikon üretimi aşamasının ardından tasarımcının ihtiyacı olan mantıksal devre veya sistemleri tek bir donanım içerisinde gerçekleştirebilmesine imkân sağlayan ve elektriksel olarak programlanabilen sayısal tümeleşik devrelerdir. FPGA çiplerinin yüksek donanım kapasitesi ve yukarıda belirtilen özelliklerinden dolayı tasarımcı herhangi bir ortamda FPGA çipinin iç yapısını programla işlemi ile değiştirerek tasarlanan sistemi gerçekleştirebilmektedir. FPGA çiplerinin diğer bir avantajı ise gerçek zamanlı uygulamalar için oldukça yüksek performans sağlayan paralel işlem yapabilme özelliğine sahip olmasıdır. Günümüz teknolojisi ile çalışma frekansları MHz seviyelerinden başlayarak GHz seviyelerine kadar çıkabilen yüksek frekanslı FPGA çipleri bulunmaktadır. FPGA çipleri, bir saniyeden çok daha kısa sürede konfigüre edilebilmektedirler. Son yıllarda Xilinx, Altera, Atmel, SiliconBlue, Microsemi

ve Lattice gibi firmalar tarafından üretilen bu donanımlar oldukça yüksek kapasite ve hızla sahip olmakla birlikte her geçen yıl daha karmaşık özelliklere sahip FPGA çipleri üretilmektedir. FPGA çipleri için farklı isimler kullanılmaktadır. Örneğin Xilinx Spartan, Virtex, Kintex gibi isimler kullanırken, Altera ise Cyclone ve Stratix gibi isimler vermektedir. FPGA çipleri "tek çip üzerinde sistem" (System On a Chip (SoC)) olarak da isimlendirilebilmekte ve ihtiyaç olduğunda farklı FPGA çipleri ile beraber daha büyük tasarımların bir parçası olarak da çalışabilmektedirler. Ayrıca bir FPGA çipi içerisinde tasarlanan bir yapının çip içerisinde oldukça kolay bir şekilde kopyası oluşturularak birden fazla aynı ünite çalıştırılabilmektedir. Bu şekilde sıralı (sequential) çalışan donanımlara göre oldukça fazla hız kazançları elde edilmektedir. FPGA donanımları giriş-çıkış blokları (I-O blocks), ara bağlantılar (interconnection network) ve konfigüre edilebilir mantıksal bloklar (Configurable Logic Block (CLB)) olmak üzere üç bölüme ayrılmaktadır. Şekil 1'de FPGA çipinin genel yapısı görülmektedir. I-O blok yapıları istenilen tasarıma uygun olarak giriş, çıkış veya hem giriş hem de çıkış portu olarak tanımlanabilmektedirler. CLB yapıları hafıza, mantıksal bloklar ve çarpıcı birimlerinden oluşmaktadır. Ara bağlantı yapıları ise I-O blokları ile diğer birimler arasındaki bağlantıyı sağlamaktadırlar.



Şekil 1. FPGA çipi iç yapısı

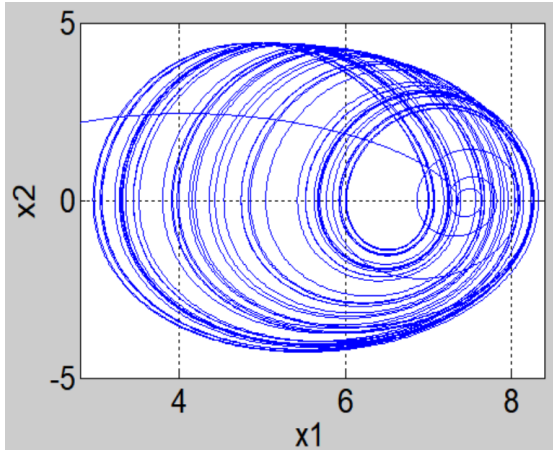
## 3. 3-BOYUTLU JERK KAOTİK SİSTEMİ

Kaos veya kaotik sistemler, başlangıç koşullarına ve sistem parametrelerine oldukça hassas bağımlı, zaman boyutunda periyodik olmayan, gürültü benzeri davranışlar sergileyen deterministik sistemler olarak tanımlanabilirler. Bahsedilen bu özelliklerinden dolayı literatürde kaotik sistemler ile ilgili birçok çalışmalar yapılmaktadır. Bu çalışma alanlarına yüksek hızlı osilatör tasarımı [15], biyomedikal [16], haberleşme [17], optik [18], kriptoloji [19], güç elektroniği [20], robotik [21], YSA [22], sözde rasgele sayı üreticileri [23], gerçek rasgele sayı üreticileri [24], görüntü işleme [25] örnek olarak verilebilir. Literatürde farklı özelliklere sahip Rössler [26], Chua [27], Lorenz [28], Sprott-H [29], Rabinovich [30], Rikitake [31], Burke-

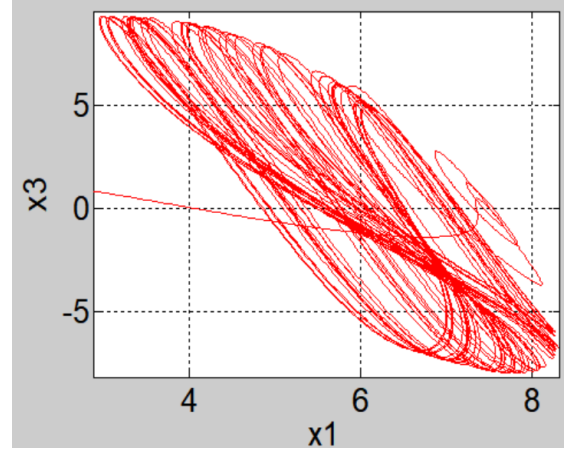
Shaw [32] gibi üzerinde çalışmalar yapılmış birçok kaotik sistem bulunmakta ve her geçen gün literatüre yeni kaotik sistemler sunulmaktadır. Kaotik sistemler ayrık ve sürekli zamanlı olmak üzere iki kısma ayrılmaktadır. Ayrık zamanlı kaotik sistemlere örnek olarak lojistik harita verilebilir. Sürekli zamanlı kaotik sistemler diferansiyel denklemler ile ifade edilmektedir. Aşağıda 3-B Jerk kaotik sistemine ait diferansiyel denklemler Eşitlik (1)'de verilmiştir [33].

$$\begin{aligned}\dot{x}_1 &= x_2 \\ \dot{x}_2 &= x_3 \\ \dot{x}_3 &= \alpha x_1 - \beta x_2 - x_3 - x_1^2 - x_2^2\end{aligned}\quad (1)$$

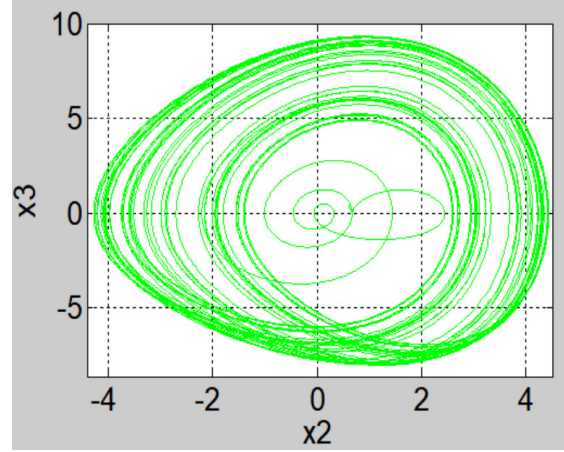
Verilen diferansiyel denklemde  $\alpha$  ve  $\beta$  sistem parametreleri olmak üzere bu çalışmada  $\alpha=7.5$  ve  $\beta=4$  olarak alınmıştır. Ayrıca sunulan kaotik sistem için  $x_1(0)=0.2$ ,  $x_2(0)=0.6$  ve  $x_3(0)=0.4$  başlangıç şartlarını ifade etmektedir. Sürekli zamanlı doğrusal olmayan bir dinamik sistemin kaotik özellik taşıyabilmesi için sistem en az bir doğrusal olmayan terim içermeli ve sistem içerisinde en az iki değişkeni bulunmalıdır. Eğer doğrusal olmayan bir sistem ilgili şartları sağlıyor ise, bu sistem için kaotik analizler yapılabilir. Ancak ayrık zamanlı kaotik sistemlerde bu şartlar aranmamaktadır. Bir sistemde kaotik analiz için sistemin faz portrelerinin incelenmesi, zaman serilerinin izlenmesi, Poincare haritalama, güç spektrumu, çatallaşma diyagramı ve Lyapunov üstelleri spektrumu gibi çeşitli yöntemler geliştirilmiştir. Bu çalışmada sunulan ve diferansiyel denklem takımları yukarıda verilen 3-B Jerk kaotik sistemi beşinci dereceden Runge-Kutta Butcher algoritması kullanılarak nümerik olarak modellenmiştir. 3-B Jerk sistemine ait  $x_1$ - $x_2$  faz portresi Şekil 2'de,  $x_1$ - $x_3$  faz portresi Şekil 3'te,  $x_2$ - $x_3$  faz portresi Şekil 4'te ve  $x_1$ - $x_2$ - $x_3$  faz portresi Şekil 5'te verilmiştir.



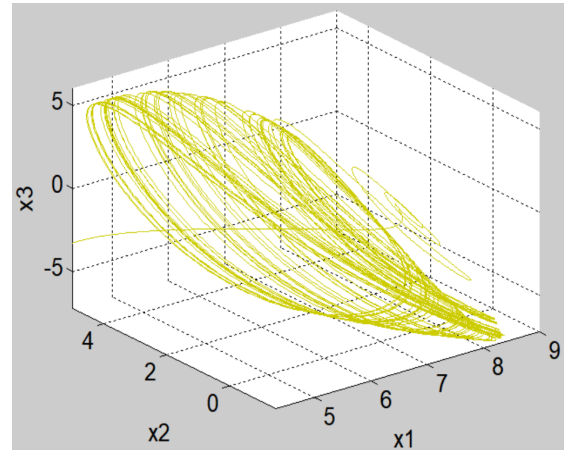
Şekil 2. 3-B Jerk osilatörü  $x_1$ - $x_2$  sinyalleri faz portresi



Şekil 3. 3-B Jerk osilatörü  $x_1$ - $x_3$  sinyalleri faz portresi

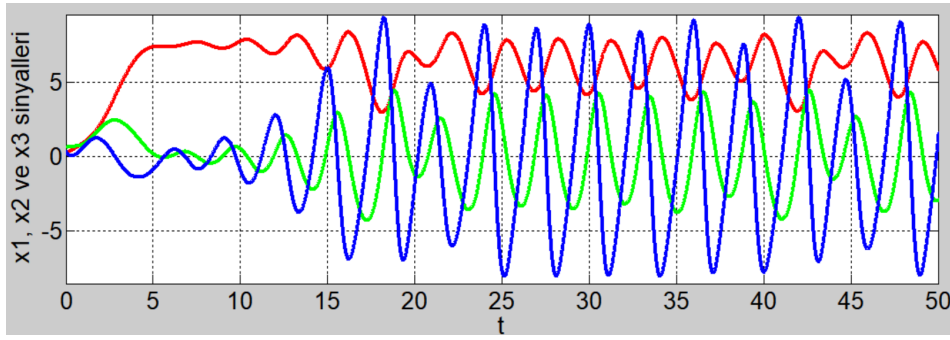


Şekil 4. 3-B Jerk osilatörü  $x_2$ - $x_3$  sinyalleri faz portresi



Şekil 5. 3-B Jerk osilatörü  $x_1$ - $x_2$ - $x_3$  sinyalleri faz portresi

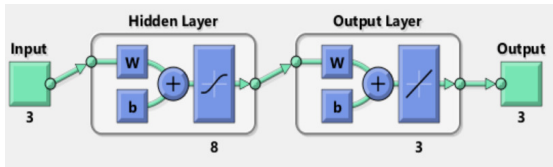
3-B Jerk kaotik sistemi beşinci dereceden Runge-Kutta Butcher algoritması kullanılarak modellenmiş ve osilatörün  $x_1$ ,  $x_2$ , ve  $x_3$  zaman serileri Şekil 6'da verilmiştir.



Şekil 6. 3-B Jerk osilatörü  $x_1$ ,  $x_2$  ve  $x_3$  sinyalleri zaman serisi

#### 4. YSA-TABANLI 3-B JERK OSİLATÖRÜ TASARIMI VE FPGA ÇİP İSTATİSTİKLERİ

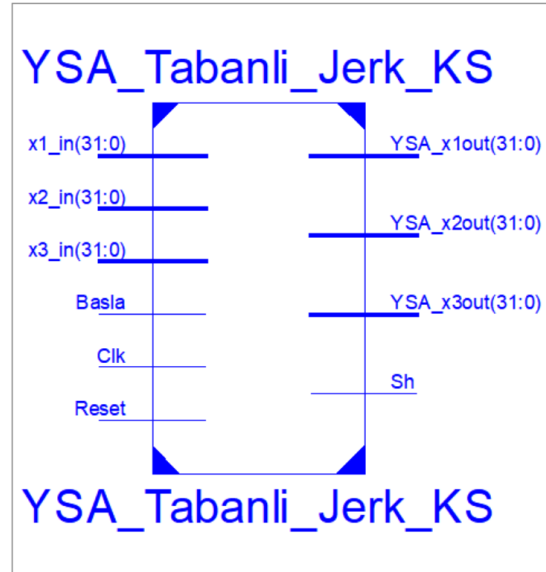
Sunulan bu çalışmada, 32-bit IEEE 754-1985 kayan noktalı sayı standardına uygun olarak FPGA çiplerinde çalışmak üzere VHDL dilinde YSA-tabanlı 3-B Jerk kaotik sistemi ünitesi tasarımı gerçekleştirilmiştir. Tasarlanan YSA-tabanlı 3-B Jerk kaotik sistemi ünitesinin test edilmesi ve sentezlenmesi amacı ile Xilinx ISE Design Suite 14.7 kullanılmıştır. Tasarlanan ünite VIRTEX-6 çipi VC6VLX240T aracı FF1156 paketi için sentezlenmiş ve test edilmiştir. Çalışmada öncelikli olarak beşinci dereceden Runge-Kutta algoritması ile modellenen Jerk kaotik sisteminden  $x_1$ ,  $x_2$ ,  $x_3$  sinyalleri için 2000X3 adet veri alınarak bir veri seti oluşturulmuştur. Oluşturulan veri seti eğitim verileri ve test verileri olmak üzere iki bölüme ayrılmıştır. Eğitim veri seti 1600X3 ve test veri seti ise 400X3 adet veriden oluşmaktadır. Bu işlemin ardından ileri beslemeli çok katmanlı YSA yapısı 3 girişli ve 3 çıkışlı olmak üzere Matlab üzerinde nümerik olarak oluşturulmuştur. YSA yapısında bulunan 1 adet gizli katmanda 8 nöron bulunmakta ve her nöron içerisinde transfer fonksiyonu olarak tanjant sigmoid transfer fonksiyonu kullanılmıştır. Çıkış katmanında bulunan nöronlarda ise pureline transfer fonksiyonu seçilmiştir. Sonuç olarak 3-8-3 yapısında ileri beslemeli çok katmanlı bir ağ yapısı oluşturulmuştur. YSA-tabanlı 3-B Jerk osilatörü için oluşturulan Matlab-tabanlı ağ yapısı blok şeması Şekil 7’de verilmiştir.



Şekil 7. YSA-tabanlı 3-B Jerk osilatörü blok şeması

Eğitim aşamasında eğitim kuralı olarak Levenberg-Marquardt geriye yayılım algoritması kullanılmış ve 1000 döngülük eğitim işlemi sonucunda  $3.40 \times 10^{-9}$  MSE (mean square error) değeri elde edilmiştir. Eğitim aşamasının ardından test aşamasında 400X3 veri seti yardımı ile test işlemi gerçekleştirilmiştir. Test işleminden yaklaşık olarak  $1.97 \times 10^{-3}$  MSE değeri elde

edilmiştir. Oluşturulan ağ yapısından elde edilen başarılı sonuçlardan sonra ağ yapısı referans kabul edilerek ilgili ağırlık ve bias değerleri FPGA üzerinde YSA-tabanlı 3-B Jerk osilatörü oluşturulabilmesi için kayan noktalı sayı standardında ağ yapısı ve transfer fonksiyonları ile birlikte VHDL dili kullanılarak kodlanmıştır. FPGA üzerinde çalışmak üzere tasarımı Xilinx ISE Design Tools programı kullanılarak yapılan YSA-tabanlı 3-B Jerk osilatör ünitesinin en üst seviye blok diyagramı Şekil 8’de verilmiştir.



Şekil 8. FPGA-tabanlı Meksika Şapkasının en üst seviye blok diyagramı

Tasarımı yapılan ünite üzerinde  $x_1\_in$ ,  $x_2\_in$  ve  $x_3\_in$  olmak üzere üç adet 32-bit kayan noktalı sayı standardına uygun giriş sinyali YSA-tabanlı Jerk kaotik osilatörünün başlangıç şartlarını ifade etmektedir. Eğer istenirse giriş-çıkış port sayısının azaltılması amacı ile tasarımcı tarafından ilgili giriş sinyalleri tasarımın içerisine gömülebilir. 1-bit Basla sinyali ünitenin çalışması için gerekli kontrol sinyalini, 1-bit clk sinyali sistem içerisindeki birimlerin senkron bir şekilde çalışabilmesi için gerekli sinyali ve 1-bit Reset sinyali ise tasarımda bulunan bilgilerin sıfırlanması için kullanılan sinyalleri ifade etmektedir. Ünite çıkışında

bulunan YSA\_x1out, YSA\_x2out ve YSA\_x3out olmak üzere üç adet 32-bit kayan noktalı sayı standardına uygun sinyaller ise YSA-tabanlı Jerk kaotik osilatör çıkış sinyalleridir. Ünite çıkış ürettiği durumda Sh sinyali '1' değerini çıkışa göndermektedir. Diğer durumlarda Sh sinyal değeri '0' olmaktadır. Tasarımda kullanılan toplayıcı, çıkarıcı, bölücü ve çarpıcı birimleri, Xilinx ISE Design Tools tarafından geliştirilen IP-Core

Generator kullanılarak oluşturulmuştur. Tasarımı yapılan ünite sentezlenmiş ve Place&Route işleminin ardından elde edilen FPGA çip istatistikleri Tablo 1'de sunulmuştur. FPGA çiplerinde çalışmak üzere tasarımı yapılan YSA-tabanlı 3-B Jerk osilatör ünitesinin maksimum çalışma frekansı 231.616 MHz olarak elde edilmiştir. Diğer bir deyişle ünitenin minimum çalışma periyodu 4.318 ns olarak bulunmuştur.

Tablo 1. FPGA üzerinde tasarımı yapılan YSA-tabanlı 3-B Jerk kaotik osilatör ünitesi çip kullanım istatistikleri

Kullanılan Lojik Birimler	Kullanılan	Mevcut	Kullanım Oranı (%)	Maksimum Çalışma Frekansı (MHz)
Slice Register Sayısı	96264	301440	31%	231.616
LUT sayısı	88672	150720	58%	
Giriş-Çıkış Sayısı	195	600	32%	
DSP48E1 Sayısı	8	768	1%	

#### 4. SONUÇLAR

Sunulan bu çalışmada, FPGA çiplerinde çalışmak üzere 3-B Jerk kaotik sistemi YSA-tabanlı olarak VHDL dili ile 32-bit IEEE-754-1985 kayan noktalı sayı standardında tasarlanmış ve Xilinx ISE Design Tools 14.7 programı kullanılarak VIRTEX-6 FPGA çipi (XC6VLX240T aracı, FF1156 paketi, -1 hız) için sentezlenmiştir. Çalışmada ilk olarak 3-B yeni Jerk kaotik sistemi beşinci dereceden Runge-Kutta-Butcher algoritması kullanılarak Matlab üzerinde nümerik model oluşturulmuştur. Nümerik modelden elde edilen veri seti kullanılarak kaotik sistem 3-8-3 ileri beslemeli çok katmanlı YSA yapısı oluşturulmuştur. Eğitim sonunda  $3.40 \times 10^{-9}$  MSE değeri ve test aşamasında ise oluşturulan ağ yapısından  $1.97 \times 10^{-3}$  MSE değeri elde edilmiştir. 3-B Yeni Jerk kaotik osilatörünün modellenmesi için oluşturulan Matlab-tabanlı YSA yapısı referans olarak alınmış ve FPGA çipi üzerinde çalışmak üzere YSA-tabanlı ÇKİB 3-B Yeni Jerk kaotik osilatör ünitesi tasarlanmıştır. Tasarımın maksimum çalışma frekansı Place&Route işleminin ardından Xilinx ISE Design Tools programı kullanılarak 231.616 MHz olarak elde edilmiştir. İleride bu çalışmada sunulan FPGA çipi üzerinde tasarımı yapılan YSA-tabanlı 3-B Yeni Jerk kaotik osilatör ünitesi kullanılarak YSA-tabanlı kaotik rasgele sayı üretici tasarımları gerçekleştirilebilir.

#### BİLGİLENDİRME

Bu çalışma, 17.TEKNOLOJİ.05 proje numarası ile Afyon Kocatepe Üniversitesi Bilimsel Araştırma Projeleri Koordinasyon Birimi tarafından desteklenmiştir.

#### KAYNAKLAR

- [1] J. Huang, J. Lee, Y. Ge, ; "An array-based scalable architecture for DCT computations in video coding", International Conference on Neural Networks and Signal Processing, , pp.451-455, 2008.
- [2] M. Alçın İ. Pehlivan İ. Koyuncu, "Hardware design and implementation of a novel ANN-based chaotic generator in FPGA", Elsevier, Optik-International

Journal for Light and Electron Optics, 127(13): p. 5500-5505, 2016.

- [3] Q. N. Le, J. W. Jeon, "Neural-Network-Based Low-Speed-Damping Controller for Stepper Motor With an FPGA", IEEE Transactions on Industrial Electronics, vol. 57, no. 9, 2010.
- [4] F. J. Lin, Y. C. Hung, "FPGA-Based Elman Neural Network Control System for Linear Ultrasonic Motor", IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, vol. 56, no. 1, 2009.
- [5] C. J. Lin, H. M. Tsai, "FPGA implementation of a wavelet neural network with particle swarm optimization learning", Mathematical and Computer Modelling, vol. 47, no. 9-10, pp. 982-996, 2008.
- [6] Ö. Polat, T. Yıldırım, "FPGA implementation of a General Regression Neural Network: An embedded pattern classification system", Digital Signal Processing, vol. 20, pp. 881-886, 2010.
- [7] H. Shen, J. Park, and Z. G. Wu, "Finite-time synchronization control for uncertain Markov jump neural networks with input constraints", Nonlinear Dynamics, vol. 77(4), pp. 1709-1720, 2014.
- [8] S. Nath, S. D. Kotal, and P. K. Kundu, "Seasonal prediction of tropical cyclone activity over the north Indian Ocean using three artificial neural networks", Meteorology and Atmospheric Physics, pp. 1-12, 2016.
- [9] R. Ahmed, M. El-Sayed, S. A. Gadsden, J. Tjong, and S. Habibi, "Automotive internal-combustion-engine fault detection and classification using artificial neural network techniques", IEEE Transactions on Vehicular Technology, vol. 64(1), pp. 21-33, 2015.
- [10] R. Rieger, S. Deng, S, "Double-Differential Recording and AGC Using Microcontrolled Variable Gain ASIC", Neural Systems and Rehabilitation Engineering, IEEE Transactions on , vol.PP, no.99, pp.1, 2012.
- [11] N. Kim, N. Kehtarnavaz, M. B. Yeary, S. Thornton, "DSP-Based Hierarchical Neural Network Modulation Signal Classification", IEEE Transactions on Neural Networks, vol. 14, no. 5, 2003.
- [12] B. Yu, R. Chan, T. Mak, Y. Sun, C. Poon, C, "On-Chip Systolic Networks for Real-Time Tracking of Pairwise Correlations between Neurons in a Large-Scale

- Network”, Biomedical Engineering, IEEE Transactions on , vol.PP, no.99, pp.1, 2012.
- [13] I. Sahin, I. Koyuncu, “Design and Implementation of Neural Networks Neurons with RadBas, LogSig, and TanSig Activation Functions on FPGA”, *Electronics and Electrical Engineering*, no. 5(121), 2012.
- [14] İ. Koyuncu., Ö. Çetin., F. Katırcıoğlu., M. Tuna., “Edge dedection application with FPGA based Sobel operator”, 2015 23th IEEE In Signal Processing and Communications Applications Conference (SIU), pp. 1829-1832, 2015.
- [15] Tuna, M., Fidan, C.B., “Electronic circuit design, implementation and FPGA-based realization of a new 3D chaotic system with single equilibrium point”, *Optik-International Journal for Light and Electron Optics*, 127(24): p. 11786-11799, 2016.
- [16] T. Belkhouja, A. Mohamed, Al-Ali, A. K., Du, X., Guizani, M., “Light-weight encryption of wireless communication for implantable medical devices using henon chaotic system”, *IEEE 2017 International Conference on In Wireless Networks and Mobile Communications (WINCOM)*, p. 1-6, 2017.
- [17] X. Wang, A. Akgul, S. Cicek, Pham, V. T. Hoang, D. V., “A chaotic system with two stable equilibrium points: Dynamics, circuit realization and communication application”, *International Journal of Bifurcation and Chaos*, 27(08): p. 1750130, 2017.
- [18] Y. Ji, M. Zhang Y. Wang, P. Wang A. Wang, “Microwave-Photonic Sensor for Remote Water-Level Monitoring Based on Chaotic Laser”, *International Journal of Bifurcation and Chaos*, 24: 1450032, 2014.
- [19] E., Avaroğlu İ., Koyuncu Özer A.B. Türk M., “Hybrid pseudo-random number generator for cryptographic systems”, Springer, *Nonlinear Dynamics*, 82: p. 239-248, 2015.
- [20] S. Ashita, G. Uma, P.Deivasundari “Chaotic dynamics of a zero average dynamı cs controlled DC–DC Çuk converter”, *IET Power Electronics*, 7: p. 289–98, 2014.
- [21] J. Pomares, I.Perea F., Torres F., “Dynamic Visual Servoing With Chaos Control for Redundant Robots”, *IEEE/ASME Transactions on Mechatronics*, 19: p. 423–31, 2014.
- [22] M. Alçın, , “The Modelling Performance Evolution of Recurrent Neural Networks Having Different Training Functions for Modelling Sprott H Chaotic System”, *International Journal on Research Innovations in Engineering Science and Technology*, 2(10): p. 563–568, 2017.
- [23] E. Avaroğlu, “Pseudorandom number generator based on Arnold cat map and statistical analysis”, *Turkish Journal of Electrical Engineering & Computer Sciences*, 25(1): p. 633-643, 2017.
- [24] C. B. Fidan, M. Tuna “A Study on the importance of chaotic oscillators based on FPGA for true random number generating (TRNG) and chaotic systems”, *Journal of the Faculty of Engineering and Architecture of Gazi University*, 33(2):p. 469-486, 2018.
- [25] Ü. Çavuşoğlu, S. Kaçar, İ. Pehlivan A. Zengin A. “Secure image encryption algorithm design using a novel chaos based S-Box”, *Chaos, Solitons Fractals*, 95: p. 92-101, 2017.
- [26] R. E. Precup, R. E. Tomoscu, M. L., Dragos, “Stabilization of Rössler chaotic dynamical system using fuzzy logic control algorithm”, *Int. J. of General Syst.*, 43(5):413-433, 2014.
- [27] M. Kuetche, E.S. Fotsin, E. S. Kengne, P. Woafu, “Parameters estimation based adaptive GPS of chaotic Chua’s circuit with application to chaos communication by parametric modulation”, *Chaos, Solitons & Fract.*, Elsevier, 61:27-37, 2014.
- [28] W. Zhang, W. Gul, Z., Wang, “Impulsive control for synchronization of Lorenz chaotic system”, *Journal of Software Eng. and Appl.*, 5(12B):23-25, 2013.
- [29] S. Çiçek, Y. Uyaroğlu, İ. Pehlivan, “Simulation and circuit implementation of sprott case H chaotic system and its synchronization application for secure communication systems”. *Journal of Circuits, Syst. and Comp.*, 22(04):1-15, 2013.
- [30] U.E. Kocamaz, Y. Uyaroğlu, Y. Kızmaz, “Control of Rabinovich chaotic system using sliding mode control. *Int. J. of Adaptive Control and Signal Proc.*, Wiley, 1-9, 2013.
- [31] V. Vembarasan, V., Balasubramam, “Chaotic synchronization of Rikitake system based on TS fuzzy control techniques”, *Nonlinear Dyn.*, 74(1-2):31-44, 2013.
- [32] I. Koyuncu, I, A. T., Pehlivan “An analog circuit design and FPGA-based implementation of the Burke-Shaw chaotic system”, *Optoelectronics and Advanced Materials-Rapid Comm.*, 7(9-10):635-638, 2013.
- [33] S. Vaidyanathan, “Analysis, Control, and Synchronization of a 3-D Novel Jerk Chaotic System with Two Quadratic Nonlinearities. *Kyungpook Mathematical Journal*, 2015.