

## Dormand-Prince tabanlı kaotik osilatör tasarımının FPGA üzerinde gerçekleştirilmesi

İsmail Koyuncu<sup>1</sup>, Halil İbrahim Şeker<sup>2\*</sup>, Murat Tuna<sup>3</sup>, Murat Alçın<sup>4</sup>

<sup>1</sup>Afyon Kocatepe Üniversitesi, Teknoloji Fakültesi, Elektrik-Elektronik Mühendisliği, Afyon, Türkiye

<sup>2\*</sup>Afyon Kocatepe Üniversitesi, Fen Bilimleri Enstitüsü, Elektrik-Elektronik Mühendisliği, Afyon, Türkiye

<sup>3</sup>Kırklareli Üniversitesi, Teknik Bilimler Meslek Yüksekokulu, Elektrik Teknolojisi, Kırklareli, Türkiye

<sup>4</sup>Afyon Kocatepe Üniversitesi, Teknoloji Fakültesi, Mekatronik Mühendisliği, Afyon, Türkiye

\*Sorumlu yazar e-mail:hseker5@gmail.com

### Özet

Son yıllarda öne çıkan ve önemli çalışma alanlarından birisi olan kaos ve kaotik sistemler kriptoloji ve güvenli haberleşme, endüstriyel kontrol, yapay sinir ağları, rasgele sayı üreteçleri ve görüntü işleme gibi alanlarda kullanılmaktadır. Bu çalışmalarda kullanılan en temel yapı kaotik sinyali üreten bir kaotik osilatör tasarımıdır. Kaotik osilatörler diferansiyel denklemler kullanılarak ifade edilmektedir. Bu diferansiyel denklemlerin çözümü için Euler, Heun, dördüncü dereceden Runge-Kutta-4, beşinci dereceden RK5-Butcher ve Dormand-Prince nümerik algoritmaları kullanılmaktadır. Literatürde Euler, Heun, RK4 ve RK5- Butcher yöntemleriyle kaotik osilatör tasarımları bulunmaktadır. Diğer yöntemlere göre daha hassas çözümler üreten Dormand-Prince yöntemi kullanılarak FPGA-tabanlı kaotik osilatör tasarımı çalışmasına güncel literatür taraması yapıldığında rastlanmamıştır. Yapılan bu çalışmada 3 boyutlu altın oranlı kaotik sistem Dormand-Prince nümerik algoritması kullanılarak FPGA üzerinde 32-bit IEEE-754-1985 kayan noktalı sayı standardında tasarlanmış ve VHDL dilinde kodlanmıştır. Kaotik sistemin tasarımı için Xilinx ISE Design Tools kullanılmıştır. Yapılan tasarım Xilinx Virtex-6 FPGA çipi için sentezlenmiş ve test edilmiştir. Xilinx ISE tasarım aracı kullanılarak yapılan Route-Place işleminden sonra elde edilen çip istatistikleri ve maksimum çalışma frekansı sunulmuştur. Elde edilen sonuçlara göre tasarımın maksimum çalışma frekansı yaklaşık 316 MHz olarak elde edilmiştir.

**Anahtar Kelimeler:** Dormand-Prince algoritması, FPGA, VHDL, Kaotik osilatör.

### 1. GİRİŞ

Kaos ve kaotik sistemler, son yıllarda üzerinde ulusal ve uluslararası birçok çalışma yapılan çalışma alanlarından birisidir. İlk kez matematikçi ve aynı zamanda meteoroloji uzmanı olan Edward Norton Lorenz tarafından 1963 yılında keşfedilmiştir. Lorenz yaptığı çalışmada, başlangıç şartlarında yapılacak olan en küçük değişikliğin bir süre sonra tahmin edilemeyen sonuçlara neden olacağını göstermiştir. Bu çalışma ile kaotik sistemlerin temelleri atılmıştır. Ardından literatüre Sprott, Rössler, Rikitake, Burke-Shaw, Pehlivan-Wei, Abooe ve Deng kaotik sistemleri gibi birçok kaotik sistem sunulmuştur. Kaos ve kaotik sistemler başlangıç şartlarına hassas bağlı, rasgele, doğrusal olmayan düzensiz görünümlü davranışlar sergileyen ama kendi içinde kendine özgü bir düzene sahip sistemlerdir (Tuna ve Fidan, 2018). Bu sistemler değişken, gürültü benzeri işaretler üretirler ve periyodik olmayan yapılardır. Kaotik sistemler karmaşık yapılar gibi gözükse de temeli basit diferansiyel denklemlerden oluşmaktadır (Yılmaz ve Güler, 2006). Kaotik sistemlerin bu özelliklerinden dolayı, bu sistemler ile ilgili birçok araştırma alanında araştırmalar yapılmaktadır. Bu araştırma alanları arasında kontrol (Yassen, 2005 & Park ve ark., 2005) görüntü işleme (Chen ve ark., 2004 & Pareek ve ark., 2006), kriptoloji ve güvenli haberleşme (Pehlivan ve ark., 2007 & Li ve ark., 2001), yapay sinir ağları (Alçın, 2017 & Karunasinghe ve ark., 2006), biyomedikal (Lin ve Huang, 2013), endüstriyel kontrol (dos Santos, 2009 & Lu ve ark., 2003) ve rasgele sayı üreteçleri (Danger ve ark., 2009 & Varchola ve Drutarovsky, 2010) gibi alanlar bulunmaktadır. Literatürde kaotik sinyal üreteçlerinin farklı platformlarda tasarımları yapılabilmektedir. Bu platformlara örnek olarak Dmitriev ve arkadaşları tarafından, kaotik sinyal üretici ve kaotik haberleşme sistemleri, dijital sinyal işlemcileri (Digital Signal Processors (DSP)) ile yazılımsal ve donanımsal olarak tasarlanmıştır (Dmitriev ve ark., 2000). Akgül ve arkadaşları tarafından yapılan çalışmada, denge noktaları olmayan kaotik sistemin elektronik devre uygulaması gerçekleştirilmiş, faz portreleri ve osiloskop çıktıları üretilmiştir. Bu kaotik sistem Labview-tabanlı Field Programmable Gate Array (FPGA) çipi üzerinde ve 32-bit kayan noktalı sayı standardında FPGA tabanlı kaotik

osilatör tasarımı yapılmış daha sonra FPGA-tabanlı tasarım ile Labview tabanlı tasarımın sonuçları karşılaştırılmıştır (Alçın ve ark., 2018). Pehlivan ve arkadaşları yaptıkları çalışmada, Rucklidge kaotik üreticini Matlab-Simulink ve Orcad-PSpice programlarını kullanarak senkronizasyon ve maskeleyim iletişim devreleri için kaotik osilatör tasarımını gerçekleştirmişlerdir (Pehlivan ve ark., 2010). Rajagopalan ve arkadaşları yaptıkları çalışmada, kriptografik haberleşme için gerçek rasgele sayı üreticilerinin büyük önemini olduğundan güvenli haberleşme alanında kullanılabilceğini belirtmişlerdir. Ayrıca bu çalışmada, CMOS (Complementary Metal Oxide Semiconductor) Boolean kaotik üreticisine göre gerçek rasgele sayı üretici tasarımının ASIC (Application Specific Integrated Circuit) yaklaşımı 45 nm CMOS teknolojisine bağlı Cadence virtuoso aracı vasıtasıyla modellenmesi yapılmıştır (Rajagopalan ve ark., 2017). Ge ve arkadaşlarının sundukları çalışmada, Lyapunov asimptotik kararlılık teoremi ispatlanmış ve farklı düzen sistemlerinin genelleştirilmiş senkronizasyonunun özel bir türünün üç farklı sıralama ile senkronize edilen bir Quantum-CNN (Cellular Neural Network) osilatörü tasarımı üzerinde çalışılmıştır (Ge ve ark., 2008). Chiuab ve arkadaşları tarafından yapılan çalışmada, Lorenz kaotik sisteminin mikroişlemci tabanlı olarak tasarımı gerçekleştirilmiştir (Chiuab ve ark., 2013). Tuna ve arkadaşları sundukları çalışmada, 32 bit IQ-Math sabit noktalı sayı standardında Heun algoritması kullanılarak üç boyutlu kaotik çekirdeği FPGA çipinde ayrık zamanlı olarak tasarlamışlardır (Tuna ve ark., 2016). Koyuncu ve arkadaşları çalışmalarında, dördüncü dereceden Runge-Kutta metodu ile Sundarapandian-Pehlivan kaotik sistemini VHDL (Very High Speed Integrated Circuit Hardware Description Language) dilini kullanarak FPGA çipinde sayısal tümleşik devre modelini ve PSpice programında ise analog devre modelini tasarlamışlardır. Yapılan çalışmada sonuçlar karşılaştırılmıştır (Koyuncu ve Özcerit, 2016). Azzaz vd. yaptıkları çalışmada 3 boyutlu kaotik sistemi Xilinx Virtex-II FPGA çipi üzerinde VHDL dilinde Euler nümerik algoritması kullanarak 32 bit (16Q-16I) sabit noktalı sayı formatında gerçekleştirmişlerdir. Tasarımın çalışma frekansı 38.86 MHz olarak belirtilmiştir (Azzaz ve ark., 2013), gibi tasarımlar gösterilebilir. Bütün bu çalışmalar için gerekli olan en temel yapı kaotik sinyal üreten bir kaotik sinyal üreticidir. Kaotik osilatörler diferansiyel denklemlerle ifade edilir ve bu denklemler farklı nümerik algoritmalarla modellenmektedir. Örnek olarak Euler (Lee, 2010), Heun (Tuna ve Fidan, 2016), dördüncü dereceden Runge Kutta (RK4) (Telo-Cuautle ve ark., 2015) ve beşinci dereceden Runge Kutta Butcher (RK5-Butcher) (Koyuncu ve ark., 2017) gösterilebilir. Bu çalışmada yukarıda belirten yöntemlerden farklı olarak altın orana sahip kaotik sistem ilk defa Dormand-Prince yöntemi kullanılarak FPGA üzerinde modellenmiştir. Güncel literatür tarandığında böyle bir çalışmaya rastlanmamıştır. Bu çalışmada ikinci bölümde, Dormand-Prince nümerik algoritması ve 3-Boyutlu altın orana sahip kaotik sistem ile ilgili bilgiler verilmiştir. Çalışmanın üçüncü bölümünde, FPGA çipi üzerinde tasarımı yapılan Dormand Prince-tabanlı altın orana kaotik sistemin modeli ve çip istatistikleri sunulmuştur. Son bölümde ise çalışmadan elde edilen sonuçlar değerlendirilmiştir.

## 2. DORMAND-PRINCE-TABANLI 3-BOYUTLU ALTIN ORANA SAHİP KAOTİK SİSTEM

Literatürde kaotik sistemler Euler, Heun, dördüncü dereceden Runge-Kutta ve beşinci dereceden Runge-Kutta-Butcher gibi nümerik algoritmalar kullanılarak modellenmektedir. Bu çalışmada sunulan kaotik sistem ilk defa Dormand-Prince yöntemi kullanılarak modellenmiştir. Denklem (1)'de Dormand-Prince algoritması verilmiştir. Dormand-Prince algoritması  $k_1, k_2, k_3, k_4, k_5, k_6$  ve  $k_7$  olmak üzere yedi adımdan oluşmaktadır.  $y_{i+1}$  değerinin hesaplanabilmesi için ilk önce yedi adımın hesaplanması gerekmektedir. Burada  $k_1$ , başlangıç şartları ve  $h$  kadar adım sayısı sonundaki elde edilen sonuç;  $k_2$  değeri,  $h$  adım sayısı ve  $k_1$  değeri kullanılarak elde edilen sonuç;  $k_3$  değeri,  $h$  adım sayısı,  $k_1$  ve  $k_2$  değerleri kullanılarak elde edilen sonuç;  $k_4$  değeri  $h$  adım sayısı,  $k_1, k_2$  ve  $k_3$  değerleri kullanılarak elde edilen sonuç;  $k_5$  değeri  $h$  adım sayısı,  $k_1, k_2, k_3$  ve  $k_4$  değerleri kullanılarak elde edilen sonuç;  $k_6$  değeri  $h$  adım sayısı,  $k_1, k_2, k_3, k_4$  ve  $k_5$  değerleri kullanılarak elde edilen sonuç;  $k_7$  değeri ise  $h$  adım sayısı,  $k_1, k_2, k_3, k_4, k_5$  ve  $k_6$  değerleri kullanılarak elde edilen sonuçtur. Sayısal çözüm amaçlı bir sonraki  $y_{i+1}$  değerinin hesaplanabilmesi için  $y_i$  değeri ve  $h$  adım sayısı kullanılır. Bu denklemde Dormand-Prince (DP) algoritmasının adım aralığı  $h=0.01$  ve başlangıç şartları olan  $x_0=0, y_0=0, z_0=0$  olarak alınmıştır (Alçın ve ark., 2016 & Yuan ve ark., 2017).

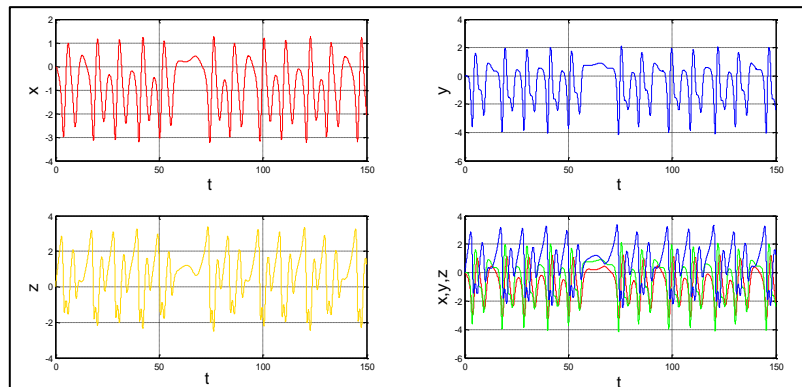
$$\begin{aligned}
 y_{i+1} &= y_i + h \left( \frac{35}{384} k_1 + \frac{500}{1113} k_3 + \frac{125}{192} k_4 - \frac{2187}{6784} k_5 + \frac{11}{84} k_6 \right) \\
 k_1 &= F(x_i, y_i) \\
 k_2 &= F\left(x_i + \frac{h}{5}, y_i + \frac{h}{5} k_1\right) \\
 k_3 &= F\left(x_i + \frac{3}{10} h, \left(y_i + \frac{3}{40} k_1 + \frac{9}{40} k_2\right) * h\right) \\
 k_4 &= F\left(x_i + \frac{4}{5} h, \left(y_i + \frac{44}{45} k_1 - \frac{56}{15} k_2 + \frac{32}{9} k_3\right) * h\right) \\
 k_5 &= F\left(x_i + \frac{8}{9} * h, \left(y_i + \frac{19372}{6561} k_1 - \frac{25360}{2187} k_2 + \frac{64448}{6561} k_3 - \frac{212}{729} k_4\right) * h\right) \\
 k_6 &= F\left(x_i + 1 * h, \left(y_i + \frac{9017}{3168} k_1 - \frac{355}{33} k_2 + \frac{46732}{5247} k_3 + \frac{49}{176} k_4 - \frac{5103}{18656} k_5\right) * h\right) \\
 k_7 &= F\left(x_i + 1 * h, \left(y_i + \frac{35}{384} k_1 + 0 * k_2 + \frac{500}{1113} k_3 + \frac{125}{192} k_4 - \frac{2187}{6784} k_5 + \frac{11}{84} k_6\right)\right)
 \end{aligned} \tag{1}$$

Diferansiyel denklem şeklinde ifade edilen kaotik sistemin denklem (2)'de matematiksel ifadesi verilmiştir. Burada  $x$ ,  $y$  ve  $z$  kaotik sistemin durum değişkenlerini,  $a$  ve  $b$  sistem parametrelerini ve  $x_0$ ,  $y_0$  ve  $z_0$  başlangıç şartlarını ifade etmektedir. Sunulan kaotik sisteme ait parametrelerin ve başlangıç şartlarının değerleri denklem (3)'te sunulmuştur.

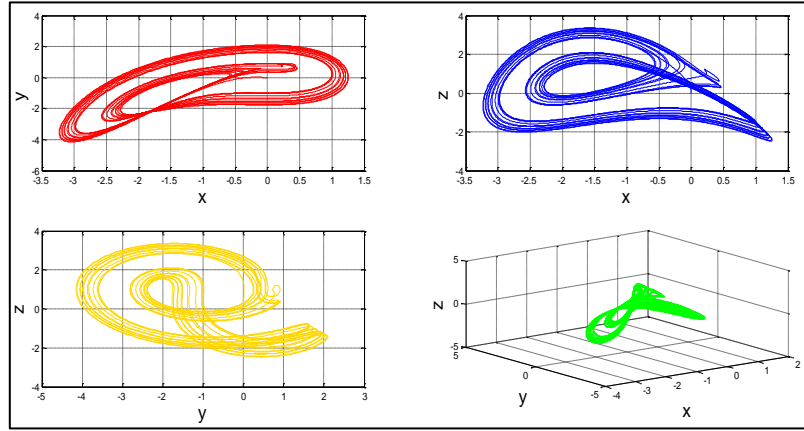
$$\begin{aligned}
 dx/dt &= y - x - az \\
 dy/dt &= xz - x \\
 dz/dt &= -xy - y + b
 \end{aligned} \tag{2}$$

$$\begin{aligned}
 a &= 0.5, b = 1 \\
 x_0 &= 0, y_0 = 0, z_0 = 0
 \end{aligned} \tag{3}$$

Seçilen kaotik sistem ilk olarak Matlab-tabanlı olarak modellenmiştir. Matlab analizi sonucunda zaman serileri Şekil 1'de, faz portreleri Şekil 2'de görülmektedir.



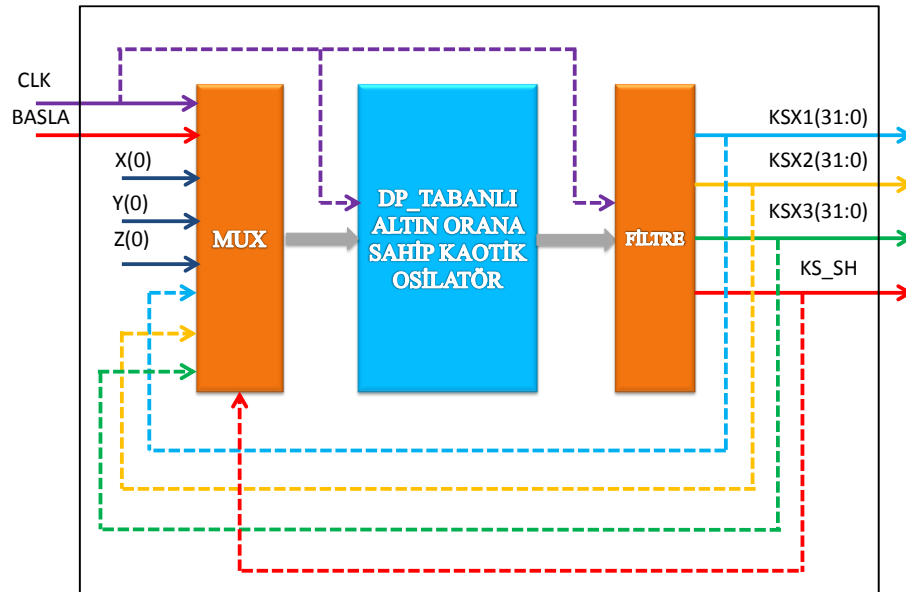
Şekil 1. DP-tabanlı altın oran kaotik osilatör zaman serileri



Şekil 2. DP-tabanlı altın oran kaotik osilatör faz portreleri

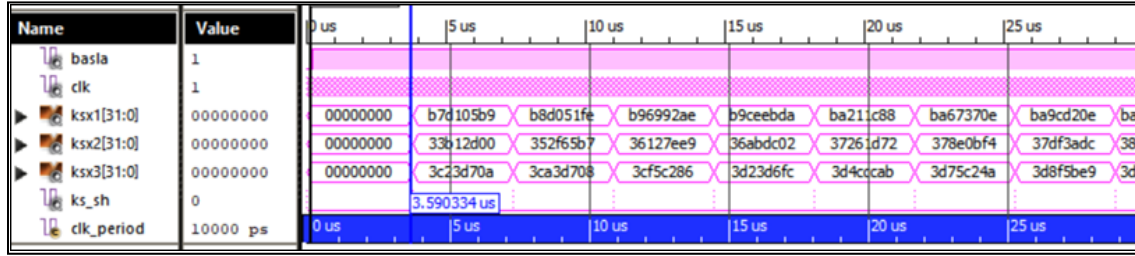
### 3. FPGA ÜZERİNDE DORMAND-PRINCE-TABANLI 3-BOYUTLU KAOTİK SİSTEM TASARIMI

Bu çalışmada sunulan kaotik sistem, DP nümerik algoritması kullanılarak 32-bit IEEE 754-1985 kayan noktalı sayı standardı ile FPGA üzerinde çalışmak üzere modellenmiştir. Yapılan tasarım bir donanım tanımlama dili olan VHDL dili kullanılarak kodlanmıştır. Tasarlanan bu kaotik osilatörün Xilinx ISE 14.7 kullanılarak elde edilen blok diyagramı Şekil 3'te görülmektedir. Tasarlanan kaotik sistemin üzerinde bulunan 1-bit BASLA sinyali sistemin çalışması için gereken kontrol sinyalini, 1-bit CLK sinyali ise sistemin senkronizasyon sinyalini ifade etmektedir. Sistem çıkışında ünitenin sonuç ürettiğini gösteren 1-bit KS\_SH sinyali ve 3 adet 32-bit kaotik sinyal değeri taşıyan KSX1, KSX2 ve KSX3 sinyalleri bulunmaktadır. Tasarımın yapısı multiplexer ünitesi (MUX), kaotik osilatör ünitesi ve filtre ünitesi elemanlarından oluşmaktadır.



Şekil 3. DP-tabanlı kaotik osilatör blok şeması

Kaotik sistemde kullanılan çarpıcı, toplayıcı, bölücü ve çıkarıcı gibi temel birimler sabit noktalı sayı standartlarına uygun IP-Core Generator kullanılarak oluşturulmuştur. Gerçeklenen bu kaotik osilatör VHDL dili kullanılarak bir testbench ünitesi oluşturulmuş ve test edilmiştir. DP-tabanlı altın oran kaotik sistemine ait Xilinx ISE Design Tools programı kullanılarak elde edilen simülasyon sonuçları Şekil 4'te görülmektedir.



Şekil 4. DP-tabanlı altın orana sahip kaotik osilatörün Xilinx ISE 14.7 simülasyon sonuçları

FPGA çiplerinde çalışmak üzere tasarımı yapılan DP-tabanlı kaotik sistemin Xilinx ISE Design Tools kullanılarak Place & Route işleminin ardından elde edilen çip istatistikleri Tablo 1’de verilmiştir. Kaotik osilatörün çalışma frekansı çip istatistiklerinden de görüldüğü gibi 316.756 Mhz olarak hesaplanmıştır.

Tablo 1. DP-tabanlı altın orana sahip kaotik sistemin FPGA çip kullanım istatistikleri

| Logic Utilalazition       | Used    | Available | Utilization | Max. Operating Frequency (MHz) |
|---------------------------|---------|-----------|-------------|--------------------------------|
| Number of Slice Registers | 113,413 | 301,440   | 37 %        |                                |
| Number of Slice LUTs      | 101,399 | 150,720   | 67 %        |                                |
| Number of Occupied Slices | 31,350  | 37,680    | 83 %        |                                |
| Number of IOBs            | 99      | 600       | 16 %        | 316.756                        |
| Number of BUFG/BUFGCTRLs  | 1       | 32        | 3 %         |                                |
| Number of DSP48E1s        | 180     | 768       | 23 %        |                                |

#### 4. SONUÇLAR

Kriptoloji, güvenli haberleşme, endüstriyel kontrol, yapay sinir ağları, rasgele sayı üreticileri ve görüntü işleme gibi kaos-tabanlı uygulamalarda kullanılan en temel yapı kaotik sinyali üreten bir kaotik osilatör yapısıdır. Kaotik sistemler diferansiyel denklemler ile ifade edildiğinden literatürde kaotik sistemlerin nümerik çözümleri için Euler, Heun, dördüncü dereceden Runge-Kutta ve beşinci dereceden Runge-Kutta-Butcher tabanlı çözümler önerilmiştir. Yapılan bu çalışmada literatürde sunulan nümerik yöntemlerden farklı olarak Dormand-Prince nümerik algoritması kullanılarak altın oranlı kaotik sistem FPGA üzerinde 32-bit IEEE-754-1985 kayan noktalı sayı standardında tasarlanmıştır. Tasarım Xilinx ISE Design Tools kullanılarak VHDL dilinde kodlanmıştır. Yapılan tasarım Xilinx Virtex-6 FPGA çipi için sentezlenmiş ve test edilmiştir. Sunulan çalışmada, Dormand-Prince-tabanlı altın oranlı kaotik sistemin maksimum çalışma frekansı 316.756 MHz’dir. Bu çalışmada sunulan FPGA üzerinde Dormand-Prince tabanlı altın oranlı kaotik osilatör tasarımı kullanılarak sonraki çalışmalarda güvenli haberleşme ve gerçek rasgele sayı üretici tasarımı gibi farklı kaos-tabanlı mühendislik uygulamaları gerçekleştirilebilir.

#### TEŞEKKÜR

Bu çalışma, 18.FEN.BİL.50 proje numarası ile Afyon Kocatepe Üniversitesi Bilimsel Araştırma Projeleri Koordinasyon Birimi tarafından desteklenmiştir.

#### KAYNAKLAR

- Alçın, M., 2017. The Effect on Modelling Performance of Different Activation Functions for Feed Forward and Feedback Network Structures in Modeling of Chen Chaotic System. International Journal of Scientific and Technological Research, ISSN 2422-8702 (Online), Vol 3, No.7.
- Alçın, M., Tuna, M., Koyuncu, İ., 2018. IQ-Math Based Designing of Fourth Order Runge-Kutta Algorithm on FPGA and Performance Analysis According to ANN Approximation. International Journal of Advanced Research in Science Engineering and Technology, 5(8): 6523–6530.

- Azzaz M.S., Taugast C., Sadoudi S., Fellah R., Dandache A., 2013. A new auto-switched chaotic system and its FPGA implementation. *Commun. Nonlinear Sci. Numer. Simul.*, 18 (7), 1792-1804.
- Alçın, M., Pehlivan, İ., & Koyuncu, İ. 2016. Hardware design and implementation of a novel ANN-based chaotic generator in FPGA. *Optik-International Journal for Light and Electron Optics*, 127(13), 5500-5505.
- Chiuab, R., Gonzaleza, M. M., Mancillaa, D. L., 2013. Implementation of a Chaotic Oscillator into a Simple Microcontroller. *IERI Procedia*, 4: 247–252.
- Chen, G., Mao, Y., & Chui, C. K. 2004. A symmetric image encryption scheme based on 3D chaotic cat maps. *Chaos, Solitons & Fractals*, 21(3), 749-761.
- Danger, J. L., Guilley, S., & Hoogvorst, P. 2009. High speed true random number generator based on open loop structures in FPGAs. *Microelectronics journal*, 40(11), 1650-1656.
- Dmitriev, A., Starkov, S., and Yemetz, S., 2000. Chaotic communication using digital signal processors. *Nonlinear Theory and Applications*, 3: 1093-1096.
- dos Santos C.L., 2009. Tuning of PID controller for an automatic regulator voltage system using chaotic optimization approach. *Chaos, Solitons & Fractals*, 39(4): 1504-1514.
- Ge, Z. M. ve Yang, C. H., 2008. The generalized synchronization of a Quantum-CNN chaotic oscillator with different order system. *Chaos, Solitons and Fractals*, 35: 980–990.
- Koyuncu, İ. and Özcerit, A.T., 2016. The design and realization of a new high speed FPGA-based chaotic true number generator. *Computers & Electrical Engineering*, 58: 203-214.
- Karunasinghe, Dulakshi SK, and Shie-Yui Liong., 2006. Chaotic time series prediction with a global model: Artificial neural network. *Journal of Hydrology*, 323.1-4: 92-105.
- Koyuncu, İ., Şahin, İ., Gloster, C., & Saritekin, N. K. 2017. A Neuron Library for Rapid Realization of Artificial Neural Networks on FPGA: A Case Study of Rössler Chaotic System. *Journal of Circuits, Systems and Computers*, 26(01), 1750015.
- Lee, S. H., Kapila, V., Porfiri, M., & Panda, A. 2010. Master–slave synchronization of continuously and intermittently coupled sampled-data chaotic oscillators. *Communications in Nonlinear Science and Numerical Simulation*, 15(12), 4100-4113.
- Li, S. J., Mou, X. Q., & Cai, Y. L., 2001. Pseudo-random bit generator based on couple chaotic systems and its application in stream-ciphers cryptography. In *Progress in Cryptology–INDOCRYPT 2001: Second International Conference on Cryptology in India Chennai, India: Proceedings* pp. 316-329.
- Lin, J. S., & Huang, S. M. 2013. An FPGA-based brain-computer interface for wireless electric wheelchairs, In *Applied Mechanics and Materials*, Trans Tech Publications, (Vol. 284, pp. 1616-1621).
- Lu, J., Xinghuo Y., and Guanrong C., 2003. Generating chaotic attractors with multiple merged basins of attraction: A switching piecewise-linear control approach. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 50.2: 198-207.
- Pehlivan, İ., Uyaroglu, Y. ve Yoğun, M., 2010. Chaotic oscillator design and realizations of the Ruckledge attractor and its synchronization and masking simulations. *Scientific Research and Essays*, 5(16): 2210-2219.
- Park, J. H., and Kwon, O. M., 2005. A novel criterion for delayed feedback control of time-delay chaotic systems. *Chaos, Solitons & Fractals*, 23.2: 495-501.
- Pehlivan, İ., Uyaroglu, Y., Yalçın, M. A., & Ferikoğlu, 2007. A. Sprott\_94\_A Kaotik Sisteminin Senkronizasyonu ve Bilgi Gizlemede Kullanılması. *Uluslararası Katılımlı Bilgi güvenliği ve Kriptoloji Konferansı*.
- Pareek, Narendra K., Vinod, Patidar, and Krishan, K. Sud. 2006. Image encryption using chaotic logistic map. *Image and vision computing*, 24: 9926-934.
- Rajagopalan, S., Rethinam, S., Deepika, A. N., Priyadarshini, A., Jyothirmai, M., Rengarajan, A., Rajagopalan, Sundararaman, et al. 2017. Design of boolean chaotic oscillator using CMOS technology for true random number generation, *Microelectronic Devices, Circuits and Systems (ICMDCS)*. International conference, on: 1-6.
- Tuna, M., Fidan, C. B., Koyuncu, İ., & Pehlivan, İ., 2016. Real time hardware implementation of the 3D chaotic oscillator which having golden-section equilibra. *24th IEEE In Signal Processing and Communication Application Conference (SIU)*, pp. 1309-1312.

- Tuna, M., & Fidan, C. B. 2016. Electronic circuit design, implementation and FPGA-based realization of a new 3D chaotic system with single equilibrium point. *Optik-International Journal for Light and Electron Optics*, 127(24), 11786-11799.
- Tlelo-Cuautle, E., Rangel-Magdaleno, J. J., Pano-Azucena, A. D., Obeso-Rodelo, P. J., & Nuñez-Perez, J. C. 2015. FPGA realization of multi-scroll chaotic oscillators. *Communications in Nonlinear Science and Numerical Simulation*, 27(1-3), 66-80.
- Tuna, M., Fidan, C.B., 2018. A Study on the importance of chaotic oscillators based on FPGA for true random number generating (TRNG) and chaotic systems. *Journal of the Faculty of Engineering and Architecture of Gazi University*, 33(2), pp: 469-486.
- Varchola, M., & Drutarovsky, M. 2010. New high entropy element for FPGA based true random number generators. In *International Workshop on Cryptographic Hardware and Embedded Systems*, Berlin: Springer, (pp. 351-365).
- Yılmaz D., Güler N.F., 2006. A Study on the Chaotic Time Series Analysis. *Journal of the Faculty of Engineering and Architecture of Gazi University*, 21 (4), 759-779.
- Yassen, M. T., 2005. Chaos synchronization between two different chaotic systems using active control. *Chaos, Solitons & Fractals*, 23(1): 131-140.
- Yuan, Z., Li, H., Miao, Y., Hu, W., & Zhu, X. 2017. Digital-Analog Hybrid Scheme and Its Application to Chaotic Random Number Generators. *International Journal of Bifurcation and Chaos*, 27(14), 1750210.